



KCN 에칭 및 CdS 후열처리가 Cu(In,Ga)(S,Se)₂ 광흡수층 성능에 미치는 영향

김아현¹⁾ · 이경아¹⁾ · 전찬욱^{2)*}

Effect of Pre/Post-Treatment on the Performance of Cu(In,Ga)(S,Se)₂ Absorber Layer Manufactured in a Two-Step Process

A-Hyun Kim¹⁾ · GyeongA Lee¹⁾ · Chan-Wook Jeon^{2)*}

Received 28 October 2021 Revised 3 December 2021 Accepted 14 December 2021 Published online 25 December 2021

ABSTRACT To remove the Cu secondary phase remaining on the surface of a CIGS_{Se} absorber layer manufactured by the two-step process, KCN etching was applied before depositing the CdS buffer layer. In addition, it was possible to increase the conversion efficiency by air annealing after forming the CdS buffer layer. In this study, various pre-treatment/post-treatment conditions were applied to the S-containing CIGS_{Se} absorber layer before and after formation of the CdS buffer layer to experimentally confirm whether similar effects as those of Se-terminated CIGSe were exhibited. Contrary to expectations, it was noted that CdS air annealing had negative effects.

Key words KCN etching(KCN 에칭), Air annealing(공기 어닐링), Chemical bath deposition(용액 성장법), Buffer layer(버퍼층), CdS, CIGS_{Se}

Nomenclature

V_{OC} : open-circuit voltage, V

J_{SC} : current density, mA/cm²

FF : fill factor, %

R_{sh} : shunt resistance, ohmcm²

R_s : series resistance, ohmcm²

Eff : efficiency, %

SCR: space charge region, μm

E_a : activation energy, eV

Subscript

CIGS_{Se} : Cu(In,Ga)(S,Se)₂

CIGSe : Cu(In,Ga)Se₂

CBD : chemical bath deposition

S : sulfur

Se : selenium

I-V : current-voltage

C-V : capacitance-voltage

QE : quantum efficiency

1) Master Course, Department of Chemical Engineering, Yeungnam University

2) Professor, Department of Chemical Engineering, Yeungnam University

*Corresponding author: cwjeon@ynu.ac.kr

Tel: +82-53-810-2513

Fax: +82-53-810-4631

I-V-T : current-voltage-temperature

CFT : capacitance frequency temperature

E_C : conduction band energy

E_V : valence band energy

E_F : fermi level energy

1. 서론

Cu(In,Ga)(S,Se)₂ (CIGSSe) chalcopyrite계 화합물은 $1 \times 10^5 \text{ cm}^{-1}$ 의 높은 광흡수계수를 가지며, 박막 태양전지 중 가장 높은 효율을 보일 뿐만 아니라, 화학적으로 안정적이고 내구성이 우수한 장점을 갖는다.^[1,2] 또한, 수직 통합된 생산라인으로 셀과 모듈공정의 일체화가 가능하며, 일반적으로는 유리 기판을 사용하지만 기판 소재에 제한이 없어 스테인레스 스틸, Ti와 같이 유연성 있는 금속 기판도 사용이 가능하여 활용성이 높은 태양전지의 생산이 가능하다.^[3] CIGSSe 태양전지의 구조는 soda lime glass 기판 위에 Mo를 후면전극(back contact)으로 사용하며, CIGSSe 광흡수층(absorber layer), 버퍼층(buffer layer), i-ZnO/Al(or B) doped ZnO 투명전극(transparent conducting oxide, TCO), Al 전면전극(grid)로 구성된다. CIGSSe 광흡수층은 주로 스퍼터링 증착된 CuInGa 금속 박막을 셀렌화 및 황화 열처리하는 2단계 공정^[2]으로 양산되고 있으며, 버퍼층은 연구용으로서 CdS, 그리고 양산제품용으로 ZnOS가 주로 채택된다.^[4]

CIGSSe는 p-type으로서 투명전극으로 사용되는 n-type의 ZnO 박막과 p-n접합을 형성한다. p-CIGSSe의 밴드갭에너지는 1~1.4 eV이지만 고농도로 도핑된 ZnO의 경우 3.2 eV의 밴드갭에너지를 가지므로, 이들의 접합은 abrupt junction에 해당한다. 따라서 전하의 재결합 손실을 경감시키기 위해서는 밴드갭에너지 차이를 완화할 수 있는 버퍼층이 필요하다. 버퍼층으로 사용되는 CdS는 2.3 eV 정도의 중간 밴드갭에너지를 가지며, 낮은 전자친화도(electron affinity)로 인해 투명전극의 전도전자가 흡수층으로 확산하지 못하도록 확산장벽을 제공하기 때문에 개방전압(V_{oc})을 증가시키는 역할을 한다. 또한 CdS 박막 증착 과정에서 Cd와 Cu의 이온교환(ion exchange)이 발생할 수 있으며,

이 경우 p-type CIGSSe 흡수층의 표면을 n-type CIGSSe로 개질하여 동종접합(homo-junction)을 형성하기 때문에, 계면재결합을 억제하여 태양전지 성능향상에 기여하는 것으로 알려져 있다.^[5~7] CdS 증착법으로는 화학기상 증착법(chemical vapor deposition : CVD),^[8] 스퍼터링(sputtering),^[9] 열분해법(spray pyrolysis),^[10] 화학용액 증착법(chemical bath deposition, CBD)^[11]이 있으며 본 연구에서는 저렴한 가격으로 비교적 낮은 온도에서 기판 크기에 관계없이 증착할 수 있는 CBD를 이용한다. 또한 CBD는 균일하게 고저항의 박막 형성이 가능하며 공정 장치가 간단하다는 이점을 가진다. CBD 용액으로는 cadmium sulfide(CdSO_4)와 thiourea($\text{SC}(\text{NH}_2)_2$), 암모니아(NH_4OH)로 이루어지며, 용액의 반응으로 인해 박막에서 cadmium 이온과 sulfur 이온의 흡착으로 CdS 박막을 성장시킨다.^[12~18]

일반적으로, Cu(In,Ga)Se₂ (CIGSe)광흡수층의 생성 과정은 In_2Se_3 (or InSe)과 Cu_2Se (or CuSe)등의 중간생성 화합물의 반응 과정을 포함한다. 따라서, 흡수층 표면에 종종 금속 전도성을 갖는 Cu-Se 이차상 화합물이 잔류할 수 있으며, shunt path를 유발하여 태양전지의 성능이 저하될 수 있다.^[19] 이러한 이차상은 CdS 버퍼층 증착 전, KCN 에칭을 적용하면 효과적으로 제거되는 것으로 알려져 있다.^[20] 또한 CdS 버퍼층 형성 후에는 공기 열처리(air annealing)를 적용하면 순결함밀도(net defect density)의 감소로 흡수층의 공간전하영역(space charge region, SCR) 폭이 축소되어 SCR 재결합이 감소하므로 V_{oc} 와 충전율(fill factor, FF)을 개선시키는 것으로 알려져 있다.^[18] Cohen과 Noufi는 화학적으로 흡착된 산소가 V_{se} (Se vacancy)와 같은 도너(donor) 결함을 점유하여 유효 acceptor의 농도가 증가한다고 제안하였다.^[20] 이러한 흡수층 표면 에칭 및 CdS 박막의 후열처리는 다수의 CIGSe 연구자들에 의해 기본적인 소자제조공정으로 채택되어 왔다. 본 연구에서는 CdS 버퍼층 형성 전후 적용되는 다양한 전처리/후처리 조건을 S가 함유된 CIGSSe 광흡수층에 적용하여 CIGSe에서와 동일한 효과가 나타나는지 실험적으로 확인하였으며, 기대와 달리 CdS 공기열처리는 부정적인 효과가 나타남을 확인하였다.

2. 실험

흡수층 표면 에칭과 CdS 버퍼층의 후열처리 효과를 비교하기 위하여, S가 없는 CIGSe와 S가 포함된 CIGSSe 두 가지 종류의 흡수층을 사용하였다. 두가지 흡수층 모두, 스퍼터링 증착된 Cu(In,Ga) 금속 프리커서 박막을 고체 Se를 이용하여 셀렌화시켰다. CIGSe는 최고 온도 약 560°C 인데 반해, CIGSSe는 480°C의 저온 셀렌화 공정 후 540°C에서 추가로 황화 열처리되었다.

기존적인 CdS 버퍼층 증착 공정은 1) Cu₂Se과 금속불순물 제거를 위해 0.15 M KCN에서 1분 간 전처리, 2) CdS 증착, 그리고 3) 200°C 온도에서 15분 간 공기열처리의 세 단계로 구성된다. CdS 증착에는 상온의 0.0015 M cadmium sulfate(CdSO₄), 3 M 암모니아(NH₄OH), 0.05 M thiourea (SC(NH₂)₂)등이 혼합된 이중비커에서 300 rpm의 속도로 마그네틱 바를 이용하여 교반한 용액을 사용한다. 혼합용액에 든 이중비커를 항온조를 이용하여 80°C로 유지하며 동시에 흡수층 샘플을 고정할 홀더를 용액에 넣은 후 증착이 개시된다. 증착이 끝난 후에는 샘플 표면에서 강염기성인 CBD 용액 세정을 위해 4 분 동안 50~60°C의 증류수에 샘플을 담근 후^[21] overflow를 진행한다. 이후 질소로 샘플을 blowing하여 건조한 후, 후열처리를 진행한다.

본 연구에서 S를 함유한 CIGSSe 흡수층과 S를 함유하지 않은 CIGSe의 전처리와 후처리에 따른 성능 변화 관찰을 위해 각각 세 가지 종류의 태양전지를 제조하였으며, 이를 Table 1에 요약하였다.

태양전지 소자를 구성하기 위하여, sputtering 공정으로 투명전극인 intrinsic-ZnO(i-ZnO), (Ga,Al) doped ZnO ((Ga,Al):ZnO,GAZO)를 CdS 버퍼층 위에 증착하였다. Base pressure를 1×10^{-6} Torr 이하로 유지한 후, 10 sccm의 Ar을 주입하여 8 mTorr의 공정압력에서, 기판온도는 25 °C로 유지하였고 75 W의 RF power를 가하여 100 nm의

i-ZnO를 증착하였다. 연속하여 GAZO를 10 sccm의 Ar을 주입하여 4 mTorr의 공정압력에서 400 nm의 두께로 증착하였다. 기판온도는 150°C, 200 W의 DC power가 인가되었다. Thermal evaporation 공정으로 약 1.6 μ m 두께의 Al 전면전극을 형성하였다.

태양전지 동작 특성 파악을 위한 전류-전압(I-V), 전기용량-전압(C-V), 외부양자효율(EQE)를 측정하였다. I-V 측정은 표준측정조건(25°C, 100 mW/cm²)에서 AMG 1.5 스펙트럼을 가진 쏘라시뮬레이터를 이용하였다. 또한, 흡수층과 후면전극 Mo 사이의 barrier와 흡수층 내 결함의 활성화에너지를 확인하기 위한 전류-전압-온도(I-V-T)를 측정하였다. Defect 확인을 위한 Admittance 측정은 액체 질소로 냉각된 스테이지 위에서 100~350 K 범위로 온도를 변화시키면서 1 kHz에서 1 MHz의 범위에서의 frequency (전기용량-주파수-온도, CFT)를 측정하였다.

3. 결과 및 고찰

3.1 S가 함유된 CIGSSe

CdS의 전, 후처리 조건을 다르게 적용한 CIGSSe 태양전지 소자의 전류-전압(I-V) 측정에 따른 성능 파라미터와 암실(dark room)에서 측정한 전기용량-전압(C-V)을 Table 2에 정리하였고, 전류-전압(I-V) 곡선과 doping profile을 Fig. 1에 나타내었다.

전, 후처리를 모두 적용하지 않은 소자(S_C)의 효율이 16.26%로 가장 우수하며 Fig. 1(a)에서 S_C에서만 높은 forward bias에서 roll-over가 생기지 않았다. 전, 후처리 모두 적용한 소자(S_A)와 후처리만 적용한 소자(S_B)에서는 높은 forward bias에서 roll-over가 관찰되었다. S_C의 FF, 69.22%에 비해 S_A, S_B의 FF는 65.19, 63.31%로 낮은 값을 가진다. 이는 roll-over가 fill factor (FF) 감소에 영향을 준 것으로 판단된다.^[22] Roll-over는 일반적으로 전도밴드의 오프셋이 0.4 eV보다 커질 때 흔히 관찰되며^[23] 재결합 활성화에너지, back contact barrier에 의해 발생한다.^[24,25] 전기용량-전압(C-V) 측정에서 도핑 농도 차는 근소하나, Fig. 1(b)에서 depletion이 좁아질수록 접합 계면 근처에서 급격한 hole doping 증가 프로파

Table 1. Pre-/Post-treatment conditions of devices for S-containing CIGSSe and S-free CIGSe

Device I group	S_A	S_B	S_C
Device II group	Se_A	Se_B	Se_C
Pre-treatment	KCN etching	X	X
Post-treatment	Air annealing	Air annealing	X

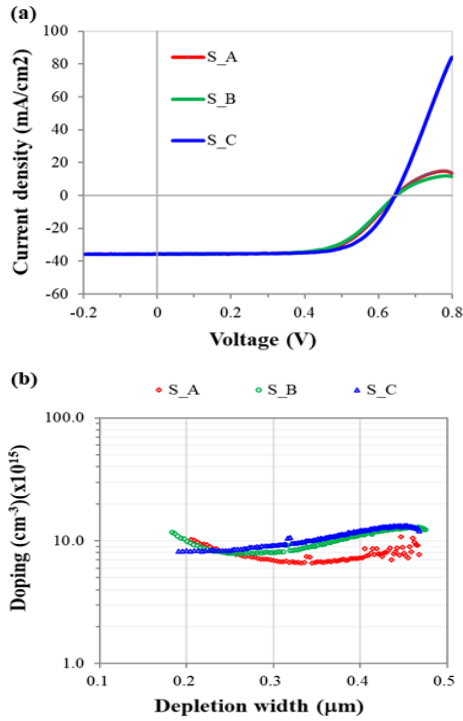


Fig. 1. (a) I-V curves (b) The doping profile extracted from the $1/C^2$ -V curve measured in dark of devices for S-terminated CIGSSe

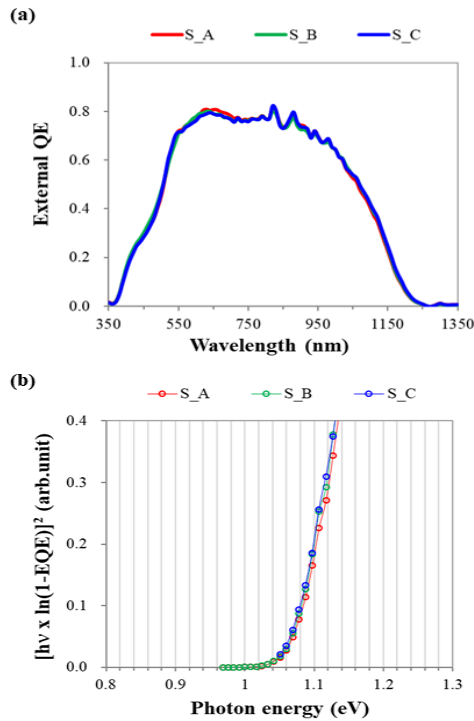


Fig. 2. (a) External quantum efficiency and (b) the determination of the bandgap energies of devices for S-terminated CIGSSe

Table 2. Current-Voltage (I-V), Capacitance-Voltage (C-V) characteristics of devices for S-terminated CIGSSe

Device	S_A	S_B	S_C
V_{OC} (V)	0.655	0.656	0.652
J_{SC} (mA/cm ²)	35.84	36.23	36.02
FF (%)	65.19	63.31	69.22
Eff (%)	15.30	15.05	16.26
R_{sh} (ohmcm ²)	11895	16269	10663
R_s (ohmcm ²)	19.91	19.17	1.72
SCR (μm)	0.34	0.32	0.32
Hole doping (e ¹⁵ /cm ³)	6.66	7.9	8.82

일이 관찰된다.

Fig. 2(a)의 EQE 그래프에서 장파장 영역에서의 곡선 모양이 거의 유사하고 최소 밴드갭이 1.08 eV로 동일한 조건을 가지는 것을 Fig. 2(b)의 그래프에서 확인하였다. 따라서, 성능 차이가 흡수층 벌크 영역에서 비롯된 것이 아니라, CdS 증착 전, 후 처리에 의한 흡수층/버퍼 계면 근처에 국한된 변화에 기인하는 것으로 추정된다.

개방전압의 온도의존성을 파악하기 위하여 전류-전압-온도(I-V-T) 측정을 100~320 K의 온도 범위에서 수행하였으며, 0 K에서 V_{OC} 와 온도 그래프를 외삽해서 재결합 활성화에너지(E_a)를 도출하였다. Fig. 3(a)에 그래프를 나타냈으며, E_a 는 다음과 같은 관계식을 사용하여 얻어졌다.

$$V_{OC} = \frac{E_a}{q} - \frac{nkT}{q} \times \ln\left(\frac{J_{00}}{J_{SC}}\right) \quad [V] \quad (1)$$

식 (1)에서 n 은 다이오드 이상 계수, k 는 볼츠만 상수, q 는 전하이며 J_{00} 는 $J_0 = J_{00} \exp(-E_a/nkT)$ 에서 구해진다.^[26]

Fig. 3(a)의 그래프에서 도출한 재결합 활성화에너지를 Table 3에 정리하였다. Fig. 3(a)에서 S_A과 S_B에 비해

Table 3. The activation energy deduced by VOC extrapolation to T=0K and back contact barrier deduced by temperature dependence of the light series resistance of devices for S-terminated CIGSSe

Device	S_A	S_B	S_C
Activation energy (eV)	1.15	1.21	1.20
Back contact barrier (eV)	0.31	0.33	0.13

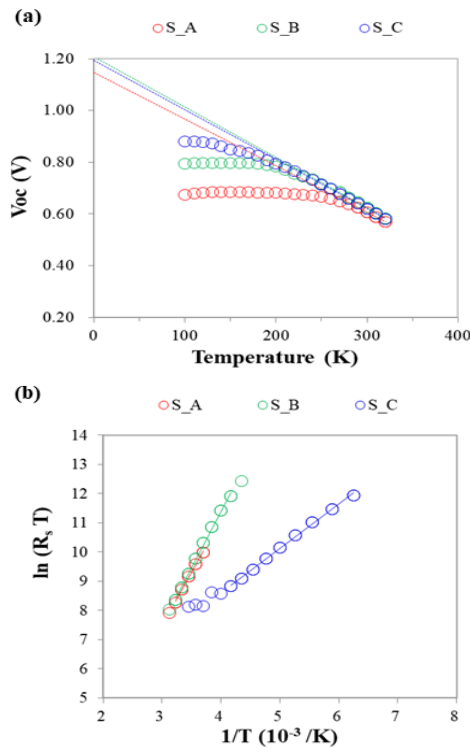


Fig. 3. (a) Temperature dependence voltage curves and (b) temperature dependence of the light series resistance for determination of blocking contact barrier of devices for S-terminated CIGSSe

S_C의 개방전압이 저온에서 linear하게 fitting 된 것을 확인할 수 있다. 온도가 0K 일 때, $\ln(R_s T)$ 를 x축, $1/T$ 를 y 축으로 한 그래프 Fig. 3(b)에서 외삽하여 도출한 back contact barrier^[27]를 Table 3에 함께 정리하였다. Back contact barrier는 흡수층과 후면전극 Mo 간의 barrier이며 Table 3에서 공기열처리를 적용한 S_A, S_B에 비해 공기열처리를 적용하지 않은 S_C의 back contact barrier는 0.13 eV로서 오히려 더 낮은 것을 확인하였다. Table 3의 전류-전압 측정 결과 S_C의 낮은 R_s 및 FF는 back contact barrier 경향과 일치한다. 즉, 공기어닐링을 적용하면 back contact barrier가 오히려 상승함을 알 수 있다. 그러나, 참고문헌 [27]의 방법으로 추출된 back contact barrier 값은 흡수층/후면전극 간 밴드오프셋으로 한정되며, 흡수층/버퍼 계면의 밴드오프셋의 영향을 무시한다. 공기어닐링과 같은 저온의 열처리로 인해 후면전극 계면 상태의 변화를 기대하기는 어렵다. 따라서, 추출된 back contact barrier는 주로 흡수층/버퍼 계면 상태의 변화에 기인한다고 추정하는 것이 타당하다.

흡수층 내 결함 상태를 조사하기 위하여 전기용량-주파수-온도(CFT) 측정을 수행하였으며, 식 (2)를 이용하여

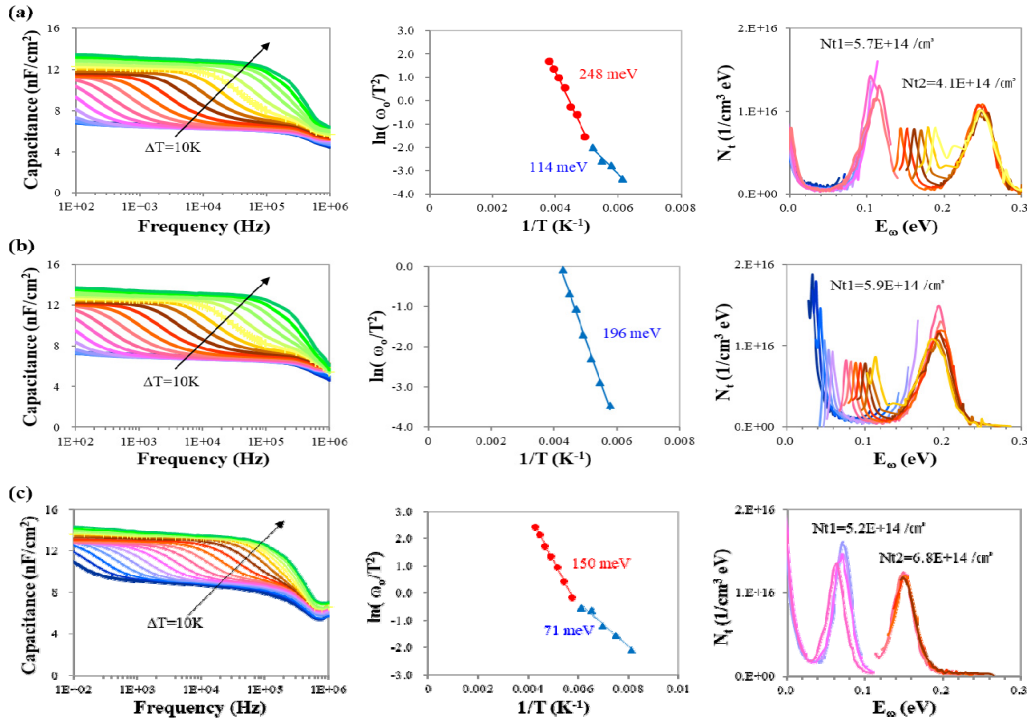


Fig. 4. Admittance (a) S_A (b) S_B (c) S_C for S-terminated CIGSSe

Table 4. Defect extracted from the angular emission frequency of the inflection points for devices of S-terminated CIGS_{Se}

Device	S_A	S_B	S_C
Deep level defect (meV)	248	195	150
Deep level defect density (10 ¹⁴ /cm ³)	4.1	6.5	6.8

추출한 결함 에너지준위와 식 (3)을 이용하여 추출한 결함 밀도를 Fig. 4 및 Table 4에 정리하였다.

$$w_0 = 2\pi\nu_0 T^2 \exp\left(-\frac{E_a}{kT}\right) \text{ [nF/cm}^2\text{]} \quad (2)$$

식 (2)에서 ω_0 는 전기용량 함수의 변곡점이고, E_a 는 가 전자대 최대값 (E_v)에 대한 defect level(활성화에너지), ν_0 은 사전 지수 인자이다.^[28] defect level이 높을수록 재결합이 많이 일어나며, 100 meV가 넘는 defect는 전자 정공의 재결합에 기여한다.

$$N_t(E_w) = -\frac{U_d}{q\omega} \frac{dC}{dw} \frac{w}{kT} \text{ [cm}^{-3}\text{]} \quad (3)$$

N_t 는 식 (3)을 통해 도출되며 온도별 전기용량의 차이 값으로 defect의 개수를 나타낸다.^[29] 여기서 deep level defect의 개수가 많을수록 재결합이 빈번하게 일어난다.

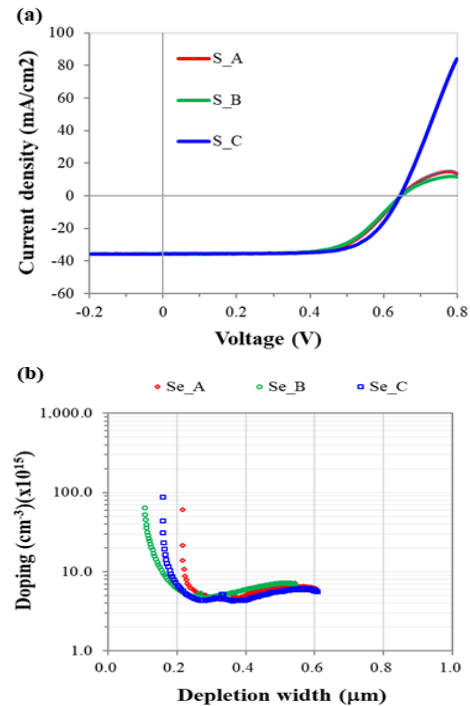
3.2 S가 없는 CIGSe

CdS의 전, 후처리 조건을 다르게 적용한 CIGSe 태양전지 소자의 전류-전압 측정에 따른 성능 파라미터와 암실 (dark room)에서 측정된 전기용량-전압(C-V)을 Table 5에 정리하였고, 전류-전압(I-V) 곡선과 doping profile을 Fig. 5에 나타내었다.

S_C의 효율이 가장 높았던 CIGSSe 흡수층과 다르게 Se_A의 효율이 12.75%로 가장 높았다. 하지만 Se_B와 Se_C의 효율(12.06, 11.65%)과 큰 차이가 나지 않았으며 개방전압, 단락전류, FF 또한 거의 유사하다. 전기용량-전압(C-V) 측정에서 전, 후처리에 관계없이 소자의 hole doping

Table 5. Current-Voltage (I-V), Capacitance-Voltage (C-V) characteristics of devices for Se-terminated CIGSe

Device	Se_A	Se_B	Se_C
V _{oc} (V)	0.523	0.527	0.514
J _{sc} (mA/cm ²)	38.22	39.44	38.89
FF (%)	62.09	58.06	59.12
Eff (%)	12.40	12.06	11.83
R _{sh} (ohmcm ²)	950	4093	2001
R _s (ohmcm ²)	1.44	1.83	1.54
SCR (μm)	0.37	0.27	0.34
Hole doping (e ¹⁵ /cm ³)	4.45	4.80	4.30

Fig. 5. (a) I-V curves (b) the doping profile extracted from the $1/C^2$ -V curve measured in dark of devices for Se-terminated CIGSe

농도가 거의 동일한 것을 확인하였다. Fig. 5(a)의 전류-전압 (I-V) 곡선에서 S가 함유된 CIGSSe 흡수층과 다르게 공기열처리 적용 여부와 관계없이 높은 forward-bias에서 roll-over가 나타나지 않았다. 따라서, CIGSe 태양전지에서는 공기열처리가 성능에 크게 기여하지 않는다고 판단된다.

외부양자효율(EQE) 측정 결과, Fig. 6(a) 그래프 모양이 거의 동일하며, Fig. 6(b)에서의 밴드갭이 거의 동일한

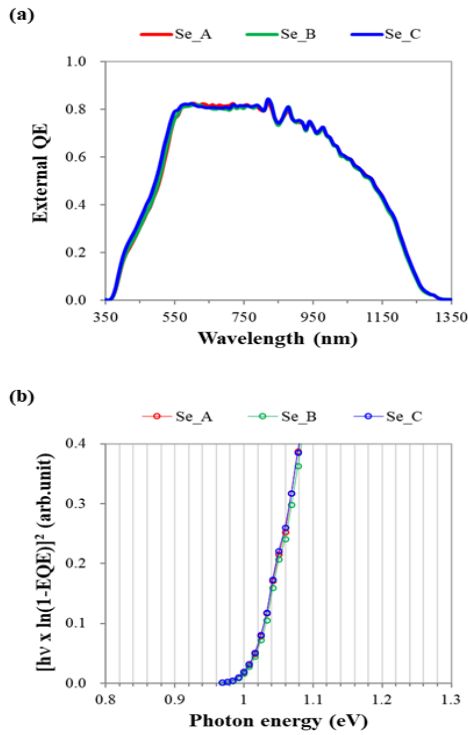


Fig. 6. (a) External quantum efficiency and (b) the determination of the bandgap energies of devices for Se-terminated CIGSe

값을 가진다. 따라서 Se_A, Se_B, Se_C 흡수층의 광반응성은 모두 동일하며, 전류-전압 측정에서의 성능 차이 결과 흡수층의 벌크 성질에 기인한 것이 아님을 알 수 있다.

Fig. 7(a)의 그래프에서 도출한 재결합 활성화에너지를 Table 6에 정리하였으며 Fig. 7(a)에서 Se_A, Se_B, Se_C의 그래프가 거의 유사한 것을 확인하였다. Fig. 7(b)의 그래프에서 도출한 back contact barrier를 정리한 Table 6에서 Se_A, Se_B, Se_C의 back contact barrier는 0.08, 0.08, 0.03 eV로 매우 작으며 유사하다. 따라서 전, 후처리 가 back contact barrier에 영향을 주지 않는다고 판단된다.

Table 6. The activation energy deduced by V_{oc} extrapolation to $T=0K$ and back contact barrier deduced by temperature dependence of the light series resistance of devices for Se-terminated CIGSe

Device	Se_A	Se_B	Se_C
Activation energy (eV)	1.03	1.03	1.06
Back contact barrier (eV)	0.08	0.08	0.03

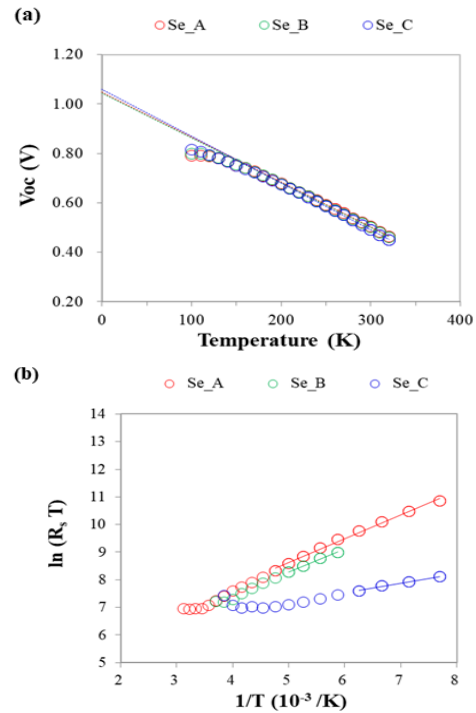


Fig. 7. (a) Temperature dependence voltage curves and (b) temperature dependence of the light series resistance for determination of blocking contact barrier of devices for Se-terminated CIGSe

전기용량-주파수-온도(CFT), 측정 결과를 Fig. 8에 나타내었다. S가 함유된 CIGSSe 흡수층과는 뚜렷한 차이를 보였으며, deep level defect는 없는 것으로 파악되었다. 결론적으로 Se_A, Se_B, Se_C 모두 100 meV이하의 shallow defect만 가지며 이는 재결합 손실의 성능 기여도는 거의 무시할 수 있다.

3.3 고찰

Fig. 9와 같이 CIGSSe 태양전지는 황처리로 인해 셀레늄(Se)이 황(S)으로 치환되어 흡수층의 밴드갭에너지가 S가 없는 CIGSe에 비해 큰 값을 가지며, 전도밴드 오프셋(CBO, conduction band offset)이 음의 값인 cliff 형태의 밴드 다이어그램을 가진다.^[30] 반면, S가 없는 CIGSe 흡수층은 CIGSSe에 비해 흡수층의 밴드갭에너지가 작아 가전자대의 에너지 준위가 높고, 전도대의 에너지 준위는 낮다.^[30] CBO는 0 eV보다 크며 CdS/CIGSSe 계면에 spike 형태의 CBO가 형성되어 있다.^[30] 이론적으로 고효율 태양전지에 요구되는 이상적인 CBO값은 약 0.3 eV인 것으로 알

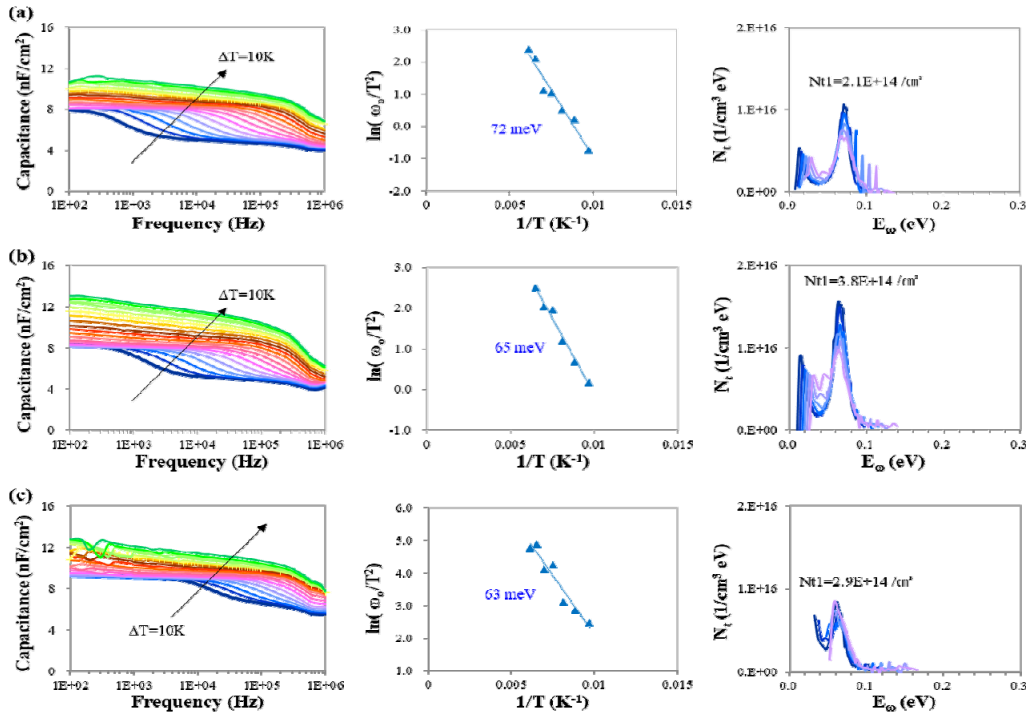


Fig. 8. Admittance (a) Se_A (b) Se_B (c) Se_C for Se-terminated CIGSe

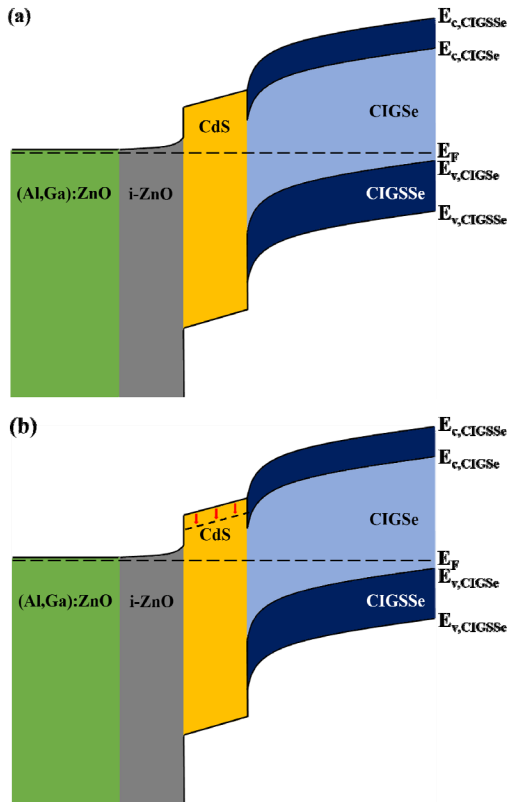


Fig. 9. Band diagram (a) before air annealing (b) after air annealing for S-terminated CIGSse (cliff shape), Se-terminated CIGSe (spike shape)

려져 있다.^[31] Fig. 9(a)는 공기열처리 적용하기 전 CIGSse, CIGSe 태양전지의 밴드 다이어그램이며, (b)는 공기열처리 적용 후에 해당한다. 공기열처리를 적용할 경우 CdS 버퍼층 내 혼재되어 있던 Cd(OH)₂가 CdO로 전환되어^[32,33] CdS 버퍼층의 전도밴드가 낮아진다. CIGSse 태양전지의 경우, CdS/CIGSse의 밴드오프셋의 절대값이 커지므로,^[34] CdS에서 CIGSse 흡수층으로의 전자 이동에 대한 에너지 장벽으로 작용한다. 이 때문에 공기열처리를 적용할 경우 증가된 에너지장벽으로 인해 Fig. 1(a) 전류-전압 그래프의 높은 forward-bias에서 roll-over가 생긴다. Table 2의 전류-전압 측정 결과, 공기열처리를 하지 않은 S_C의 R_s 1.72 Ohm·cm²에 비해 공기열처리를 적용한 S_A와 S_B의 R_s 가 19.91, 19.17 Ohm·cm²로 큰 것도 이를 뒷받침한다. S가 없는 CIGSe의 경우, CdS/CIGSe 계면에서 밴드오프셋이 줄어들기 때문에, CdS에서 CIGSe 흡수층으로의 전자 이동에 대한 에너지장벽은 존재하지 않는다. 실제로, Table 5의 전류-전압 측정 결과로부터, 공기열처리 적용에 따라 R_s 값은 1.44~1.83 Ohm·cm²로서 큰 유의차를 갖지 않았다. 따라서 CIGSe 흡수층에 CdS 증착 후 공기열처리하는 CIGSse 흡수층의 성능을 열화시키지 않음을 알 수 있다.

4. 결론

본 논문에서는 CBD 공정의 전, 후처리의 조건을 변화시켜 CdS 버퍼층을 셀렌화 후 황처리한 CIGSSe, 황처리를 하지 않은 CIGSe 흡수층에 증착하였을 때의 태양전지 성능 변화를 관찰하였다. CIGSSe와 CIGSe의 두 가지 흡수층에 적용한 전, 후처리에 따른 성능 파라미터는 흡수층 종류에 따라 뚜렷한 차이를 보였다. CIGSSe 흡수층은 흡수층 표면의 KCN 에칭과 버퍼층 증착 후 열처리를 적용하면 순방향전압에서 강한 roll-over 형성으로 인해 FF가 열화되었다. 반면, CIGSe 흡수층은 흡수층 표면에칭 및 버퍼층 후열처리를 적용한 경우 다소의 효율 상승이 있었으나, CIGSSe에 비해 그 차이는 크지 않았으며, roll-over 또한 형성되지 않았다. 결론적으로, S가 함유된 CIGSSe 흡수층을 이용한 태양전지에서 CdS 증착 전, 후처리를 둘 다 적용하지 않는 것이 고효율 획득에 유리하며, 이와 달리 S가 없는 CIGSe 흡수층은 KCN 용액을 이용한 흡수층 표면에칭 및 CdS 증착 후 공기어닐링을 모두 적용하는 것이 효율 개선에 유리함을 실험적으로 확인할 수 있었다.

감사의 글

본 연구는 2020년 산업통상자원부의 재원으로 한국에너지기술평가원(KETEP)의 에너지인력양성사업으로 지원받아 수행한 인력양성 성과입니다(No. 20204010600100).

References

- [1] Nakamura, M., Yamaguchi, K., Kimoto, Y., Yasaki, Y., Kato, T., and Sugimoto, H., 2019, "Cd-Free Cu(In,Ga)(Se,S)₂ Thin-film solar cell with record efficiency of 23.35%", *IEEE J. Photovolt.*, **9**(6), 1863-1867.
- [2] Omid, M.A., and Cora, Ö.N., 2020, "State of the art review on the Cu(In,Ga)Se₂ thin-film solar cells", *Turkish Journal of Electromechanics & Energy*, **5**(2), 74-82.
- [3] Yang, K.J., Kim, S., Kim S.Y., Ahn, K.S., Son, D.H., Kim, S.H., Lee, S.J., Kim, Y.I., Park, S.N., et al., 2019, "Flexible Cu₂ZnSn(S,Se)₄ solar cells with over 10% efficiency and methods of enlarging the cell area", *Nat. Commun.*, **10**, 2959.
- [4] Niki, S., Contreras, M., Repins, I., Powalla, M., Kushiya, K., Ishizuka, S., and Matsubara, K., 2010, "CIGS absorbers and processes", *Prog. Photovolt.*, **18**(6), 453-466.
- [5] Abou-Ras, D., Kostorz, G., Romeo, A., Rudmann, D., and Tiwari, A., 2005, "Structural and chemical investigations of CBD- and PVD-CdS buffer layers and interfaces in Cu(In,Ga)Se₂-based thin film solar cells", *Thin Solid Films*, **480**(6), 118-123.
- [6] Ramanathan, K., Noufi, R., Granata, J., Webb, J., and Keane, J., 1998, "Prospects for in situ junction formation in CuInSe₂ based solar cells", *Sol. Energy Mater. Sol. Cells*, **55**(1-2), 15-22.
- [7] He, X., Paulauskas, T., Erciusc, P., Varley, J., Baileye, J., Zapalace, G., Poplavsky, D., Mackie, N., Baymane, A., Spaulding, D., Klieb, R., Lordid, V., and Rockett, A., 2017, "Cd doping at PVD-CdS/CuInGaSe₂ heterojunctions", *Sol. Energy Mater. Sol. Cells*, **164**, 128-134.
- [8] Tsuji, M., Aramoto, T., Ohyama, H., Hibino, T., and Omura, K., 2000, "Characterization of CdS thin film in high efficient CdS/CdTe solar cells", *J. Cryst. Growth*, **214-215**(7A), 1142-1147.
- [9] Heo, S.G., Cho, H.J., Park, K.W., Ahn, J.K., and Yoon, S.G., 2009, "Electrical properties and reliability of the Photo-conductive CdS thin films for flexible Opto-electronic device applications", *J. Korean Inst. Electr.*, **22**(12), 1023-1027.
- [10] Rau U., and Schock H.W., 1999, "Electronic properties of Cu(In,Ga)Se₂ heterojunction solar cells-recent achievements, current understanding, and future challenges", *Appl. Phys.*, **69**, 131-147.
- [11] Mathew, S., Mukerjee, P.S., and Vijauakumar, K.P., 1995, "Optical and surface properties of spray pyrolysed CdS thin films", *Thin Solid Films*, **254**(1-2), 278-284.
- [12] Kim, E.H., Xiao, Y.B., Kong, S.M., and Chung, C.W., 1995, "Investigation on etch characteristics of nanometer-sized magnetic tunnel junction stacks using a HBr/Ar plasma", *J. Nanosci.*, **11**(7), 6616-6620.
- [13] Ramaiah, K.S., Pilkington, R.D., Hill, A.E., Tomlinson, R.D., and Bhatnagar, A.K., 2001, "Structural and optical investigations on CdS thin films grown by chemical bath technique", *Mater. Chem. Phys.*, **68**(1-3), 22-30.

- [14] Song, W.C., 2005, "Effect of reaction temperature on properties of CdS thin films prepared by chemical bath deposition", *J. Korean Inst. Surf. Eng.*, **38**(3), 112-117.
- [15] Martinez, M.A., Guillen, C., and Herrero, J., 1998, "Morphological and structural studies of CBD-CdS thin films by microscopy and diffraction techniques", *Appl. Surf. Sci.*, **136**, 8-16.
- [16] Jaber, A., Alamri, S.N., Aida, M.S., Benghanem, M., and Abdelaziz, A.A., 2012, "Influence of substrate temperature on thermally evaporated CdS thin films properties", *J. Alloys Compd.*, **529**, 63-68.
- [17] Moualkia, H., Hariech, S., Aida, M.S., Attaf, N., and Laifa, E.L., 2009, "Growth and physical properties of CdS thin films prepared by chemical bath deposition", *J. Phys. D*, **42**(13), 135404.
- [18] Chu, T., Chu, S., Shultz, N., Wang, C., and Wu, C.Q., 1992, "Solution-Grown Cadmium sulfide films for photovoltaic devices", *J. Electrochem. Soc.*, **139**(9), 2443-2446.
- [19] Tanaka, T., Sueishi, T., Saito, K., Guo, Q., Nishio, M., Yu, K.M., and Walukiewicz, W. 2012, "Existence and removal of Cu₂Se second phase in coevaporated Cu₂ZnSnSe₄ thin films", *Int. J. Appl. Phys.*, **111**(5), 053522.
- [20] Cahen, D., and Noufi R., 1989, "Defect chemical explanation for the effect of air anneal on CdS/CuInSe₂ solar cell performance", *Appl. Phys. Lett.*, **54**(6), 558-560.
- [21] Kwon, S.M., Kim, S.M., and Jeon, C.W., 2016, "Influence of CdS post-deposition treatment on CIGS solar cells", *New. Renew. Energy*, **12**(1), 26-30.
- [22] Topic, M., Smole, F., and Furlan, J., 1997, "Examination of blocking current-voltage behaviour through defect chalcopyrite layer in ZnO/CdS/Cu(In,Ga)Se₂/Mo solar cell", *Sol. Energy*, **49**(1-4), 311-317.
- [23] Sozzi, G., Napoli S.D., Menozzi, R., Werner, F., Siebentritt, S., Jackson, P., and Witte, W., 2017, "Influence of conduction band offsets at Window/Buffer and Buffer/Absorber interfaces on the Roll-Over of J-V curves of CIGS solar cells", *Proceedings of 2017 IEEE 44th Photovoltaic Specialist Conference (PVSC)*, 2205-2208.
- [24] Kato, T., Kitani, K., Tai, K.F., Kamada, R., Hiroi, H., and Sugimoto, H., 2016, "Characterization of the back contact of CIGS solar cell as the origin of "Rollover" effect", *32nd European Photovoltaic Solar Energy Conference and Exhibition*, 1085-1088.
- [25] Eisenbarth, T., Unold, T., Caballero, R., Kaufmann, C.A., and Schock, H.W., 2010, "Interpretation of admittance, capacitance-voltage, and current-voltage signatures in Cu(In,Ga)Se₂ thin film solar cells", *Int. J. Appl. Phys.*, **107**(3), 034509.
- [26] Li, H., He, D., Zhou, Q., Mao, P., Cao, J., Ding, L., and Wang, J., 2017, "Temperature-dependent Schottky barrier in high-performance organic solar cells", *Sci. Rep.*, **7**, 40134.
- [27] Tress, W., Leo, K., and Riede, M., 2012, "Optimum mobility, contact properties, and open-circuit voltage of organic solar cells: A drift-diffusion simulation study", *Phys. Rev. B*, **85**(15), 155201.
- [28] Duan, H.S., Yang, W., Bob, B., Hsu, C.J., Lei, B., and Yang, Y., 2013, "The role of sulfur in solution-processed Cu₂ZnSn(S,Se)₄ and its effect on defect properties", *Adv. Funct. Mater.*, **23**(11), 1466-1471.
- [29] Walter, T., Herberholz, R., Muller, C., and Schock, H.W., 1996, "Determination of defect distributions from admittance measurements and application to Cu(In,Ga)Se₂ based heterojunctions", *Int. J. Appl. Phys.*, **80**(8), 4411-4420.
- [30] Khoshsirar, N., 2016, "Nanoelectronics and Materials Development", Abhijit Kar, "Copper-Indium-Gallium-diselenide (CIGS) nanocrystalline bulk semiconductor as the absorber layer and its current technological trend and optimization", *IntechOpen*, London, 42-58.
- [31] Kleider, J.P., Gudovskikh, A.S., and Cabarrocas, P.R., 2008, "Determination of the conduction band offset between hydrogenated amorphous silicon and crystalline silicon from surface inversion layer conductance measurements", *Appl. Phys. Lett.*, **92**(16), 162101.
- [32] Lo, Y.S., Choubey, R.K., Yu, W.C., Hsu, W.T., and Lan, C.W., 2011, "Shallow bath chemical deposition of CdS thin film", *Thin Solid Films*, **520**(1), 217-223.
- [33] Lee, S., Lee, E. S., Kim, T.Y., Cho, J.S., Eo, Y.J., Yun, J.H., and Cho, A., "Effect of annealing treatment on CdS/CIGS thin film solar cells depending on different CdS deposition temperatures", *Sol. Energy*, **141**, 299-308.
- [34] Weinhardt, L., Fuchs, O., Groß, D., Storch, G., and Umbach, E., 2005, "Band alignment at the CdS/Cu(In,Ga)S₂ interface in thin-film solar cells", *Appl. Phys. Lett.*, **86**(6), 062109.